

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 57176757 A

(43) Date of publication of application: 30.10.82

(51) Int. Cl. H01L 27/10  
G11C 11/34  
H01L 27/04  
H01L 29/78

(21) Application number: 56060889

(22) Date of filing: 22.04.81

(71) Applicant: NEC CORP

(72) Inventor: SAKAMOTO MITSURU

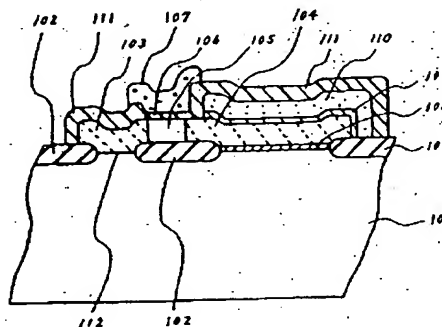
(54) SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1982,JPO&Japio

(57) Abstract:

PURPOSE: To reduce the area of a capacitor by forming a single crystal layer through an insulating film on a semiconductor substrate, forming an IGFET in the single crystal layer, and providing a capacitor utilizing the insulating films formed on and under the drain of the IGFET.

CONSTITUTION: A field oxidized film 102, a thin oxidized film 108 and an exposed part 112 are formed on a semiconductor substrate 101, a single crystal layer is formed by utilizing a laser annealing or the like thereon, an IGFET having a source 103, a channel 105, a drain 104 (107 represents a gate electrode) is formed in the single crystal, an electrode 110 is formed through an insulating film 109 on a drain region 104, thereby forming a capacitor having one electrode of the substrate 101 and the electrode 110 and other electrode of the drain region 104. In this manner, the area of an information storage capacity section can be reduced to a half of the conventional one.



BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-176757

⑬ Int. Cl.<sup>3</sup>  
H 01 L 27/10  
G 11 C 11/34  
H 01 L 27/04  
29/78

識別記号

1 0 1

庁内整理番号  
6749-5F  
7922-5B  
8122-5F  
7377-5F

⑭ 公開 昭和57年(1982)10月30日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑮ 半導体装置

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑯ 特 願 昭56-60889  
⑰ 出 願 昭56(1981)4月22日  
⑱ 発 明 者 坂本充

⑲ 出 願 人 日本電気株式会社  
東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称  
半導体装置

2. 特許請求の範囲

- (1) 半導体基板の一主面に設けられた絶縁膜上に単結晶の半導体層を設け、該半導体層に絶縁ゲート電界効果トランジスタのソース、ドレインおよびチャンネル部を設け、該絶縁ゲート電界効果トランジスタのソース又はドレイン領域のうち一方を前記半導体基板の一主面の第1の領域と電気的に接続し、他方の領域と前記半導体基板の一主面の第2の領域および該領域と接続され前記他方の領域上に絶縁膜を介して設けた電極とて容量部を形成したことを特徴とする半導体装置。
- (2) 容量部の電極として用いられるソース又はドレイン領域の少なくとも一部が多結晶半導体層で構成されたことを特徴とする特許請求の範囲

第(1)項記載の半導体装置。

- (3) 容量部の電極として用いられるソース又はドレイン領域の少なくとも一部が無定形半導体層で構成されたことを特徴とする特許請求の範囲  
第(1)項記載の半導体装置。

3. 発明の詳細な説明

本発明は半導体装置に係り、特に集積回路半導体装置に於けるトランジスタ及び電気的容量の形成に関する。

半導体基板、特にシリコン半導体基板上に形成する集積回路は、高集積化、大容量化の方向をたどり、写真蝕刻法を用いた半導体表面の微細加工技術の開発が種々なされている。この様な中において、ICメモリを搭載した半導体ベレット寸法の縮小化の可能性及び該ICメモリの大容量化の可能性も種々追求されている。これ等の目的達成のために、回路面からの情報蓄積方法の開発又は製造材料物質からの種々の情報蓄積方法の検討が進められ、現在ダイナミックRAMのようなIC

メモリに於いては、情報蓄積部（以下セルと称す）を1個のトランジスタと1個の情報蓄積容量部で構成するのが最も上記目的に適したものと考えられている。該方法での情報蓄積方式では、該半導体ペレットの大部分を占めるのは前記セル部の情報蓄積容量部面積である。この理由からこの方式によるダイナミックRAMのペレット面積の縮小化又は該RAMの大容量化を計るためには、該情報蓄積容量部面積の縮小が最も有効な手段となる。しかし、この情報蓄積容量部面積を縮小し当容量の値を減少させることは、この容量部に蓄積される情報小信号量を減少させることになり、現在考えられているセル構造では小信号の回路上の感知が困難となる。

本発明はかかる点を改良し、セル部の容量を減少することなく該セル部の占める面積の縮小を可能とし、情報蓄積の大容量化、ペレット寸法の縮小化に適したダイナミックRAM等に用いられる半導体装置を提供せんとするものである。

本発明の特徴は、半導体基板の一主面に設けら

以下本発明の一実施例について、図面を用いて詳細な説明を行う。以下、導電型がP型半導体基板にNチャンネル型のMOS電界効果トランジスタを形成し、セル部を構成する場合についてのみ説明するが、半導体基板がN型のPチャンネル型MOS電界効果トランジスタを形成する場合に関しても全く同様な手法となることに前以って言及しておく。

第1図は、本発明の1実施例を示すセル部の断面図である。図面に於いて、例えばその比抵抗が $0.1$ 乃至 $1000\Omega\cdot\text{cm}$ のP型シリコン基板101の表面部に、高温熱酸化等にて厚いシリコン酸化膜102を選択的に形成する。斯くして、次にセル部のMOS電界効果トランジスタは、シリコン酸化膜上に形成した有効不純物を含有する単結晶シリコン膜103、104をそれぞれソース側、ドレイン側とし、同様に単結晶シリコン膜105の一部表面部をチャンネル領域とし、薄い絶縁物質106（例えばシリコン酸化膜）及び有効不純物を含有する多結晶又は無定形シリコンあるいは

れた絶縁膜上に単結晶の半導体層を設け、この半導体層に絶縁ゲート電界効果トランジスタのソース、ドレインおよびチャンネル部を設け、この絶縁ゲート電界効果トランジスタのソース又はドレイン領域のうち一方を前記半導体基板の一主面の第1の領域と電気的に接続し、他方の領域と前記半導体基板の一主面の第2の領域およびこの領域と接続され前記他方の領域上に絶縁膜を介して設けた電極とて容量部を形成した半導体装置にある。そして、容量部の電極として用いられるソース又はドレイン領域の少なくとも一部が多結晶半導体層または無定形半導体層で構成されることが好ましい。このために本発明に於いては、前記セル部の1つのトランジスタ、情報蓄積部のストレージ領域を、それぞれ半導体基板上の絶縁物質表面上に形成した単結晶半導体薄膜上、及び多結晶半導体薄膜又は単結晶半導体薄膜に形成する。斯くして、情報蓄積容量部は折半し重ね合わせた縦構造姿態に形成でき、該情報蓄積容量部の有効な面積利用が可能となる。

アルミ等の純金属107をそれぞれMOS電界効果トランジスタのゲート膜、ゲート電極とする姿態で形成する。次に情報蓄積容量部は、シリコン基板表面のうち、厚いシリコン酸化膜102以外の表面に形成された第1の薄い絶縁膜108と、前記MOS電界効果トランジスタのドレイン領域104の表面部に形成された第2の薄い絶縁物質109（例えばシリコン窒化膜）を共に誘電物質とし、シリコン基板101表面と第2の薄い絶縁物質109表面上に形成された容量部電極110を一電極とし、前記単結晶シリコン膜で形成されたドレイン側電極104を対電極とする姿態に形成される。以上の構造に於いて、前記MOS電界効果トランジスタのゲート電極107は、ソース側領域103及び容量部電極110上に形成された厚いシリコン被覆酸化膜111を一部被覆する姿態に形成される。斯くして本セル部構造は完成する。本実施例の構造に於いて、シリコン基板101上に形成された厚いシリコン酸化膜102及び、第1の薄い絶縁膜108上の単結晶シリコ

ン膜は初め、該厚いシリコン酸化膜、第1の薄い絶縁膜上にポリシリコン又は無定形シリコン膜を形成した後、該シリコン膜をアルゴン、YAG、ルビー等から発する0.4乃至2μm波長のレーザー光を使用し、レーザーアニールすることによって形成される。当ポリシリコン又は無定形シリコン膜のレーザーアニールによる結晶成長は、シリコン基板101表面の露出部112を結晶種として横方向に進行し、50乃至100μm程度の横方向にわたりポリシリコン膜、無定形シリコン膜は単結晶シリコン膜に変換する。又本発明実施例に於いては、ドレイン側104の一部、即ちMOS電界効果トランジスタのチャンネル領域から達さなかった領域は、ポリシリコン膜又は無定形シリコン膜であっても同様の効果がある。

なお、本発明の実施例に於いて、MOS電界効果トランジスタのゲート電極107が容量部電極110の一部を厚い被覆シリコン酸化膜を介在して覆う場合について説明したが、該ゲート電極107、容量部電極110が同一金属層で形成さ

い絶縁膜、109……第2の薄い絶縁膜、110……容量部電極、111……シリコン被覆酸化膜、112……シリコン基板表面の露出部、である。

代理人 弁理士 内 原 晋



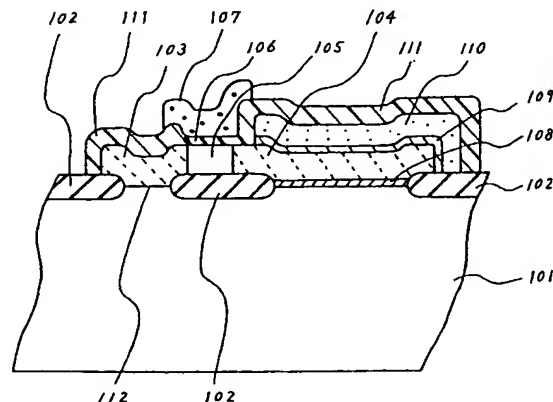
れ且つ互いに電気的に分離された状態に形成された場合、並びに該容量部電極110が該ゲート電極107の一部を、厚い被覆シリコン酸化膜を介在して覆う状態に形成された場合であっても、同様の効果がある。

斯くの如く本発明に於いては、セル部の情報蓄積容量部を縦構造に折り重ねた形態に形成しているため、単位平面内に従来の約2倍の容量を形成できる。このことから情報蓄積容量部面積を従来の半分迄減少できる。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例の断面構造図を示す。

なお図において、101……シリコン基板、102……厚いシリコン酸化膜、103……MOS電界トランジスタのソース側領域、104……MOS電界効果トランジスタのドレイン側領域、105……単結晶シリコン膜、106……ゲート膜、107……ゲート電極、108……第1の薄



第1図

Best Available Copy